



COPY OF PAPERS
ORIGINALLY FILED

*Priority
Paper
4-30-02
P. C. C. C.*

Certification under 37 CFR 1.8(a)

I hereby certify that this paper (along with any paper referred to as being attached or enclosed) is being deposited with The United States Postal Service with sufficient postage as first class mail in an envelope addressed to The Commissioner for Patents, Washington, D.C. 20231 on March 13, 2002.

Vangelis Economou
Name

Vangelis Economou
Signature

DOCKET: CU-2756

IN THE UNITED STATES PATENT & TRADEMARK OFFICE

APPLICANT: In Cheol RYU et al)
SERIAL NO: 10/034,497) Group Art Unit: 2812
FILING DATE: December 28, 2001) Examiner:
TITLE: METHOD OF FORMING A CONTACT FOR)
A SEMICONDUCTOR DEVICE)

The Commissioner for Patents
Washington, D.C. 20231

SUBMITTAL OF PRIORITY DOCUMENT

Dear Sir:

Attached herewith is a certified copy of Korean Application 2001-0054511 filed September 5, 2001, for which priority is claimed under 35 USC 119.

Respectfully submitted,

Vangelis Economou

Attorney for Applicant

March 13, 2002
Date

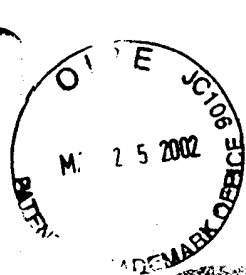
/14

Vangelis Economou, Reg. 32341
c/o Ladas & Parry
224 South Michigan Avenue
Chicago, Illinois 60604
(312) 427-1300

RECEIVED

APR 02 2002

OFFICE OF PETITIONS



COPY OF PAPERS
ORIGINALLY FILED

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

RECEIVED
179-9-110
2000

출원번호 : 특허출원 2001년 제 54511 호
Application Number PATENT-2001-0054511

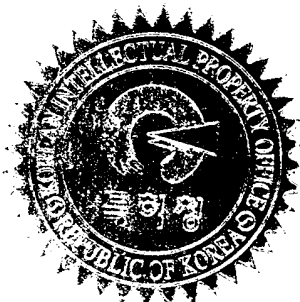
출원년월일 : 2001년 09월 05일
Date of Application SEP 05, 2001

출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.

RECEIVED

APR 02 2002

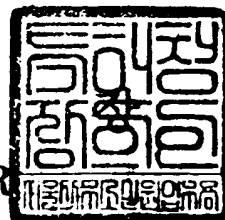
OFFICE OF PETITIONS



2001 년 11 월 23 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0008
【제출일자】	2001.09.05
【발명의 명칭】	반도체소자의 콘택 형성방법
【발명의 영문명칭】	Method for forming contact in semiconductor device
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	강성배
【대리인코드】	9-1999-000101-3
【포괄위임등록번호】	1999-024436-4
【발명자】	
【성명의 국문표기】	류인철
【성명의 영문표기】	RYU, In Cheol
【주민등록번호】	740209-1768211
【우편번호】	134-835
【주소】	서울특별시 강동구 상일동 121 고덕주공아파트 328-207
【국적】	KR
【발명자】	
【성명의 국문표기】	진성곤
【성명의 영문표기】	JIN, Sung Gon
【주민등록번호】	680708-1912215
【우편번호】	467-040
【주소】	경기도 이천시 송정동 동양아파트 102-202
【국적】	KR
【심사청구】	청구

【취지】

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인
강성배 (인)

【수수료】

【기본출원료】 17 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 19 항 717,000 원

【합계】 746,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 반도체소자의 콘택 형성방법에 관한 것으로, 콘택깊이가 서로 다른 콘택홀을 형성하는 반도체소자의 콘택 형성방법에 있어서, 실리콘기판상에 제1층간절연막을 형성하는 단계; 상기 제1층간절연막상에 도전성 물질층패턴을 형성하는 단계; 상기 도전성 물질층패턴을 포함한 상기 제1층간절연막 상에 제2층간절연막을 형성하는 단계; 상기 제2층간절연막과 제1층간절연막을 선택적으로 제거하여 상기 도전성물질층패턴과 상기 실리콘기판의 일부분을 각각 개구시키는 제1콘택홀과 제2콘택홀을 형성하는 단계; 상기 제1콘택홀과 제2콘택홀을 포함한 상기 제1 및 2 층간절연막상에 적어도 CVD TiN 막을 포함하는 글루층을 형성하는 단계; 및 상기 글루층상에 텅스텐층을 형성하여 상기 제1 및 2 콘택홀을 매립하는 단계:를 포함하여 이루어진다.

【대표도】

도 4

【명세서】

【발명의 명칭】

반도체소자의 콘택 형성방법{Method for forming contact in semiconductor device}

【도면의 간단한 설명】

도 1은 종래기술에 따른 반도체소자의 콘택 형성방법을 설명하기 위한 공정단면도.

도 2 내지 도 4는 본 발명에 따른 반도체소자의 콘택 형성방법을 설명하기 위한 공정 단면도.

[도면부호의 설명]

21 : 실리콘기판	23 : 제1층간절연막
25 : 도전성 물질층패턴	27 : 제2층간절연막
29a : 제1콘택홀	29b : 제2콘택홀
31 : TiN 박막	33 : 텅스텐층

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<8> 본 발명은 반도체소자의 제조방법에 관한 것으로서, 보다 상세하게는 로직 및 메모리소자등의 반도체소자에 있어서 텅스텐 플러그 또는 텅스텐 배선, 텅스

텐다마신 등의 텅스텐 증착공정을 수행하는 반도체소자의 제조시에 적용하는 반도체소자의 콘택 형성방법에 관한 것이다.

<9> 종래기술에 따른 반도체소자의 제조시에, 층간절연막을 식각하여 콘택식각을 함에 있어서, 식각용 소오스물질은 F 소오스를 함유하고 있다. 예를들면, CHF_3 , CF_4 , C_2F_8 등의 소오스 가스가 거의 모든 반도체 콘택 식각 소오스물질로 사용되고 있다.

<10> 이들 물질의 경우, 층간절연막으로 사용되는 산화막 또는 질화막 계열의 실리콘 화합물을 식각하는데 사용되는 주요 물질이다. 이들 화합물들을 이용한 플라즈마 식각공정이 콘택식각에 이용되고 있다.

<11> 반도체집적회로의 미세화에 따라 더 깊고 작은 콘택을 식각하는 것이 필수적으로 도입되고 있는 실정이다.

<12> 또한, 공정상의 비용감소를 위해 콘택식각을 함에 있어서 여러 부위의 콘택, 특히 콘택 깊이차이가 심한 콘택(예를들면, 깊이차이 : 7000 Å)을 동시에 식각하여 개구(open)시키는 것이 필수적이다.

<13> 이러한 관점에서, 종래기술에 따른 반도체소자의 콘택 형성방법을 도 1을 참조하여 설명하면 다음과 같다.

<14> 도 1 은 종래기술에 따른 반도체소자의 콘택 형성방법을 설명하기 위한 콘택 단면도이다.

- <15> 종래기술에 따른 반도체소자의 콘택 형성방법은, 도 1에 도시된 바와같이, 실리콘기판(1)상에 제1층간절연막(3)을 증착하고, 상기 제1층간절연막(3)상에 다결정실리콘층패턴(5)을 증착한다.
- <16> 그다음, 상기 다결정실리콘층패턴(5)을 포함한 제1층간절연막(3)상에 제2층간절연막(7)을 증착한다.
- <17> 이어서, 상기 제2층간절연막(7)상에 감광막(미도시)을 도포하고 이를 포토리소그래피공정기술을 이용하여 노광 및 현상공정에 의해 선택적으로 제거하여 제1 및 제2 콘택홀을 형성하기 위한 감광막패턴(9)을 형성한다.
- <18> 그다음, 상기 감광막패턴(9)을 마스크로 상기 제2층간절연막(7)과 제1층간절연막(5)을 선택적으로 제거하여 상기 다결정실리콘층패턴(5)와 실리콘기판(1)의 일부분을 각각 노출시키는 제1콘택홀(11a)과 제2콘택홀(11b)을 동시에 형성한다. 이때, 상기 제2콘택홀(11b)은 제1콘택홀(11a)보다 약 7000 Å이상의 깊이로 형성된다.
- <19> 또한, 상기 제1 및 제2 콘택홀 형성을 위한 식각공정시에, 콘택홀이 개구되는 부위에서의 물질차이 또는 과도한 콘택홀의 깊이차이(7000 Å이상)에 의해 식각용액(즉, 식각시 반응하는 물질)의 식각 선택비(특히, 산화막과 다결정실리콘 등의 실리콘)를 높게 하여야만 적당한 PR 두께를 가지고 식각할 수 있다.

【발명이 이루고자 하는 기술적 과제】

<20> 그러나, 상기와 같은 종래기술에 있어서의 콘택식각의 경우에 콘택 깊이가 낮은 콘택홀은 깊은 콘택홀이 완전히 개구될 때까지 식각용액에 의해 노출되게 된다.

<21> 이런 경우에, 상기 식각용액이 콘택홀측면의 측벽에 존재하는 층간절연막과 반응하게 된다. 이는 층간절연막에 비해 상대적으로 낮은 식각률을 가지는 다결정실리콘 또는 실리콘-질소 화합물위에 콘택깊이가 낮은 콘택홀이 개구될 경우에 더욱 심하게 발생하므로써 콘택 프로파일의 상변화를 초래하게 된다. 특히, 식각률이 심하게 차이가 나는 콘택홀의 바닥부위에서 프로파일의 변형이 심하게 발생하게 된다.

<22> 이로 인하여, 콘택 매립에 사용되는 텅스텐 매립이 어려워지므로써 안정된 저항을 얻기가 어려워지는 문제점이 있다.

<23> 이에 본 발명은 상기 종래기술의 제반 문제점을 해결하기 위하여 안출한 것으로서, 텅스텐과 콘택홀에 의해 개구되는 부위의 전도성 물질과의 접촉면적을 증가시켜 안정된 콘택저항값을 얻을 수 있는 반도체소자의 콘택 형성방법을 제공함에 그 목적이 있다.

【발명의 구성 및 작용】

<24> 상기 목적을 달성하기 위한 본 발명에 따른 반도체소자의 콘택 형성방법은, 콘택깊이가 서로 다른 콘택홀을 형성하는 반도체소자의 콘택 형성방법에 있어서, 실리콘기판상에 제1층간절연막을 형성하는 단계; 상기 제1층간절연막상에 도전성

물질층패턴을 형성하는 단계; 상기 도전성 물질층패턴을 포함한 상기 제1층간절연막 상에 제2층간절연막을 형성하는 단계; 상기 제2층간절연막과 제1층간절연막을 선택적으로 제거하여 상기 도전성물질층패턴과 상기 실리콘기판의 일부분을 각각 개구시키는 제1콘택홀과 제2콘택홀을 형성하는 단계; 상기 제1콘택홀과 제2콘택홀을 포함한 상기 제1 및 2 층간절연막상에 적어도 CVD TiN 막을 포함하는 글루층을 형성하는 단계; 및 상기 글루층상에 텅스텐층을 형성하여 상기 제1 및 2 콘택홀을 매립하는 단계:를 포함하여 이루어지는 것을 특징으로한다.

<25> 또한, 본 발명에 따른 반도체소자의 콘택 형성방법은, 콘택깊이가 서로 다른 콘택홀을 형성하는 반도체소자의 콘택 형성방법에 있어서, 실리콘기판상에 제1층간절연막을 형성하는 단계; 상기 제1층간절연막상에 상기 제1층간절연막의 식각률보다 느린 식각률을 가진 도전성 물질층패턴을 형성하는 단계; 상기 도전성 물질층패턴을 포함한 상기 제1층간절연막상에 제2층간절연막을 형성하는 단계; 상기 제2층간 절연막과 제1층간절연막을 선택적으로 제거하여 상기 도전성물질층패턴과 상기 실리콘기판의 일부분을 각각 개구시키는 제1콘택홀과 상기 제1콘택홀의 깊이보다 깊은 제2콘택홀을 형성하는 단계; 상기 제1 및 제2 콘택홀을 포함한 상기 제1 및 2 층간절연막상에 CVD TiN 막을 형성하는 단계; 및 상기 CVD TiN 막상에 텅스텐 층을 형성하여 상기 제1 및 2 콘택홀을 매립하는 단계:를 포함하여 이루어지는 것을 특징으로한다.

<26> (실시예)

<27> 이하, 본 발명에 따른 반도체소자의 콘택 형성방법을 첨부된 도면을 참조하여 상세히 설명한다.

<28> 도 2 내지 도 4는 본 발명에 따른 반도체소자의 콘택 형성방법을 설명하기 위한 공정단면도이다.

<29> 본 발명에 따른 반도체소자의 콘택 형성방법은, 도 2에 도시된 바와같이, 먼저 실리콘기판(21)상에 제1층간절연막(23)을 증착하고, 상기 제1층간절연막(23)상에, 후속공정인 콘택 형성을 위한 식각공정에서 콘택이 개구되는 부위의 물질의 식각률이 상기 층간절연막들(25)(23)로 사용하는 물질, 예를들면 산화막, BPSG, SOG 등보다 느린 도전성 물질층(미도시)을 증착한다. 이때, 상기 도전성 물질층으로는 다결정실리콘, 언도프트 실리콘, 도프트실리콘, 텅스텐실리사이드 또는 텅스텐 중에서 어느 하나를 사용한다.

<30> 그다음, 상기 도전성 물질층(미도시)을 원하는 부분만 남도록 선택적으로 패터닝하여 도전성 물질층패턴(25)을 형성한다.

<31> 이어서, 상기 도전성 물질층패턴(25)을 포함한 제1층간절연막(23)상에 제2층간절연막(27)을 증착한다.

<32> 그다음, 도면에는 도시하지 않았지만, 상기 제2층간절연막(27)상에 감광막(미도시)을 도포하고 포토리소그래피 공정기술을 이용한 노광 및 현상공정에 의해 상기 감광막(미도시)을 선택적으로 제거하여 제1 및 제2 콘택홀을 형성하기 위한 감광막패턴(미도시)을 형성한다.

<33> 이어서, 상기 감광막패턴(미도시)을 마스크로 상기 제2층간절연막(27)과 제1층간절연막(23)을 선택적으로 제거하여 상기 도전성물질층패턴(25)과 실리콘기판(21)의 일부분을 각각 노출시키는 제1콘택홀(29a)과 제2콘택홀(29b)을 동시에

형성하고 상기 감광막패턴(미도시)을 제거한다. 이때, 상기 제2콘택홀(29b)은 제1콘택홀(29a)보다 약 7000 Å 이상의 깊이로 형성된다.

<34> 또한, 제2층간절연막(27)과 제1층간절연막(23)의 선택적 식각공정은 콘택 식각소스로 플루오르(F) 소스를 가진 가스 또는 이온, 라디칼을 이용하여 플라즈마 식각을 진행한다. 이때, 상기 플루오르 소스를 가진 가스로는 CF_4 , CHF_3 , CH_2F_2 , C_2F_6 , C_2F_8 , C_5F_8 등을 포함한다.

<35> 그러나, 상기 콘택홀 형성시에 콘택 깊이가 낮은 제1콘택홀(29a)은 깊은 제2콘택홀(29b)이 완전히 개구될 때까지 식각소스에 의해 노출되게 된다.

<36> 이때, 종래기술의 도 1에서와 같이, 상기 식각소스가 상기 제1콘택홀(29a) 측면의 측벽에 존재하는 제2층간절연막(27)과 반응하게 된다. 더욱이, 상기 식각소스는 상기 제2층간절연막(27)에 비해 상대적으로 낮은 식각률을 가지는 도전성 물질층패턴(25)위에서 콘택깊이가 낮은 제1콘택홀(29a)이 개구될 경우에 상기 도전성 물질층패턴(25)과 더욱 심하게 반응하므로써 콘택 프로파일의 상변화를 초래하게 된다. 특히, 식각률이 심하게 차이가 나는 제1콘택홀(29a)의 바닥부위인 도전성물질층패턴에서 프로파일의 변형이 심하게 발생하게 된다.

<37> 그다음, 도 3에 도시된 바와같이, 이러한 프로파일의 변형이 발생하더라도 안정된 콘택저항을 얻기 위해, 프로파일의 변형이 일어난 상기 도전성 물질층 패턴(25)과 제1콘택홀(29a) 및 제2콘택홀(29b) 그리고 상기 제2층간절연막(27) 및 제1층간절연막(23)의 노출된 표면상에 CVD 방법에 의해 약 400 Å 이하 두께의

TiN 박막(31)을 증착한다. 이때, 상기 TiN 박막(31)은 TDMAT, TDMET 또는 $TiCl_4$ 소오스를 이용하여 증착한다.

<38> 또한, 상기 TiN 박막을 증착하는 도중 또는 증착후에 $N_2 + H_2$ 또는 N_2 , H_2 등의 가스를 약 1kW 의 RF 파워에서 플라즈마처리를 진행할 수도 있다.

<39> 그리고, 상기 TiN 박막은 $TiCl_4$ 소오스를 사용하여 Ti 박막 (또는 $TiSi_2$)/TiN 박막을 동시에 증착할 수도 있다.

<40> 더욱이, 후속공정에서 형성되는 텅스텐의 콘택갭의 매립 능력을 증가시키고 보다 낮은 저항을 얻기 위하여 CVD 방법에 의해 형성된 TiN막을 포함하는 적어도 2층이상의 TiN 막, 예를들면 Ti / PVD TiN / CVD TiN / W 또는 Ti / CVD TiN / PVD TiN / W의 적층구조를 포함한다.

<41> 한편, 콘택저항을 낮추기 위해, 상기 TiN 박막(31)을 증착하기 전후에 아닐링공정, 예를들면 RTA 또는 튜브아닐링(tube annealing) 등을 실시할 수도 있다.

<42> 그다음, 상기 TiN 박막(31)이 형성된 제1콘택홀(29a)과 제2콘택홀(29b)을 포함한 제2층간절연막(27)상에 텅스텐막(33)을 증착하여 상기 제1콘택홀(29a)과 제2콘택홀(29b)을 매립한다.

【발명의 효과】

<43> 상기에서 설명한 바와같이, 본 발명에 따른 반도체소자의 콘택 형성방법에 있어서는 다음과 같은 효과가 있다.

<44> 본 발명에 따른 반도체소자의 콘택 형성방법에 있어서는, 콘택프로파일의 이상에 의한 콘택 측면의 측벽에서의 CVD TiN과 같은 글루층(glue layer)에 의해

안정된 스텝 커버리지를 확보함으로써 콘택에서의 텅스텐과 다결정 실리콘등의 전도성 물질층간의 접촉면적을 증가시켜 접촉저항의 디비에이션(deviation)없이 안정된 접촉 저항을 확보할 수 있다.

<45> 따라서, 콘택 식각 프로파일에 의한 개구성 패일(fail)을 방지할 수가 있다

<46> 또한, 심한 콘택 깊이차이(약 7000 Å 이상)에 의한 콘택 프로파일의 변형 문제로 인해 마스크공정 및 식각공정을 별도로 진행할 필요가 없기 때문에 반도체소자의 제조공정을 단순화시킬 수 있다.

<47> 한편, 본 발명은 상술한 특징의 바람직한 실시예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능할 것이다.

【특허 청구범위】**【청구항 1】**

콘택깊이가 서로 다른 콘택홀을 형성하는 반도체소자의 콘택 형성방법에 있어서,

실리콘기판상에 제1층간절연막을 형성하는 단계;

상기 제1층간절연막상에 도전성 물질층패턴을 형성하는 단계;

상기 도전성 물질층패턴을 포함한 상기 제1층간절연막상에 제2층간절연막을 형성하는 단계;

상기 제2층간절연막과 제1층간절연막을 선택적으로 제거하여 상기 도전성물질층패턴과 상기 실리콘기판의 일부분을 각각 개구시키는 제1콘택홀과 제2콘택홀을 형성하는 단계;

상기 제1콘택홀과 제2콘택홀을 포함한 상기 제1 및 2 층간절연막상에 적어도 CVD TiN 막을 포함하는 글루층을 형성하는 단계; 및

상기 글루층상에 텅스텐층을 형성하여 상기 제1 및 2 콘택홀을 매립하는 단계:를 포함하여 이루어지는 것을 특징으로하는 반도체소자의 콘택 형성방법.

【청구항 2】

제1항에 있어서, 상기 도전성물질층패턴은 다결정실리콘, 언도프트 실리콘, 도프트 실리콘, 텅스텐실리사이드, 텅스텐중에서 어느 하나를 포함하는 것을 특징으로하는 반도체소자의 콘택 형성방법.

【청구항 3】

제1항에 있어서, 상기 글루층은 CVD TiN막 또는 PVD TiN막과 CVD막의 적층구조 또는 CVD TiN막의 적층구조로 구성되어 있는 것을 특징으로 하는 반도체 소자의 콘택 형성방법.

【청구항 4】

제1항에 있어서, 상기 CVD TiN막은 TDMAT 또는 TDMET 소스를 사용하거나 TiCl_4 소스를 이용하여 400 Å 이하 두께로 증착하는 것을 특징으로하는 반도체 소자의 콘택 형성방법.

【청구항 5】

제1항에 있어서, 상기 CVD TiN막을 증착하는 도중 또는 증착후에 $\text{N}_2 + \text{H}_2$ 또는 N_2 , H_2 가스를 이용하여 플라즈마 처리를 실시하는 것을 특징으로 하는 반도체 소자의 콘택 형성방법.

【청구항 6】

제1항에 있어서, 상기 CVD TiN막은 Ti막과 TiN막을 포함하는 것을 특징으로 하는 반도체소자의 콘택 형성방법.

【청구항 7】

제1항에 있어서, 상기 제1 및 2 콘택홀을 선택적으로 제거하는 단계는, 콘택가스로 플루오르 소스를 가진 가스 또는 이온, 라디칼를 사용하는 것을 특징으로 하는 반도체 소자의 콘택 형성방법.

【청구항 8】

제7항에 있어서, 상기 플루오르 소스를 가진 가스로는 CF_4 , CHF_3 , CH_2F_2 , C_2F_6 , C_2F_8 , C_5F_8 을 포함하는 것을 특징으로하는 반도체소자의 콘택 형성방법.

【청구항 9】

제1항에 있어서, 상기 제2콘택홀의 깊이는 제1콘택홀의 깊이보다 7000 Å 이상인 것을 특징으로 하는 반도체 소자의 콘택 형성방법.

【청구항 10】

콘택깊이가 서로 다른 콘택홀을 형성하는 반도체소자의 콘택 형성방법에 있어서,

실리콘기판상에 제1층간절연막을 형성하는 단계;

상기 제1층간절연막상에 상기 제1층간절연막의 식각률보다 느린 식각률을 가진 도전성 물질층패턴을 형성하는 단계;

상기 도전성 물질층패턴을 포함한 상기 제1층간절연막상에 제2층간절연막을 형성하는 단계;

상기 제2층간절연막과 제1층간절연막을 선택적으로 제거하여 상기 도전성물질층패턴과 상기 실리콘기판의 일부분을 각각 개구시키는 제1콘택홀과 상기 제1콘택홀의 깊이보다 깊은 제2콘택홀을 형성하는 단계;

상기 제1 및 제2 콘택홀을 포함한 상기 제1 및 2 층간절연막상에 적어도 CVD TiN 막을 형성하는 단계; 및

상기 CVD TiN 막상에 텅스텐층을 형성하여 상기 제1 및 2 콘택홀을 매립하는 단계:를 포함하여 이루어지는 것을 특징으로하는 반도체소자의 콘택 형성방법.

【청구항 11】

제10항에 있어서, 상기 도전성물질층패턴은 다결정실리콘, 언도프트 실리콘, 도프트 실리콘, 텅스텐실리사이드, 텅스텐중에서 어느 하나를 포함하는 것을 특징으로하는 반도체소자의 콘택 형성방법.

【청구항 12】

제10항에 있어서, 상기 CVD TiN막을 형성한후 PVD TiN막을 형성하거나 상기 CVD TiN막을 형성하기 전에 PVD TiN막을 형성하는 단계를 더 포함하는 것을 특징으로하는 반도체 소자의 콘택 형성방법.

【청구항 13】

제10항에 있어서, 상기 CVD TiN막은 TDMAT 또는 TDMET 소스를 사용하거나 TiCl_4 소스를 이용하여 400 Å 이하 두께로 증착하는 것을 특징으로하는 반도체 소자의 콘택 형성방법.

【청구항 14】

제10항에 있어서, 상기 CVD TiN막을 증착하는 도중 또는 증착후에 $\text{N}_2 + \text{H}_2$ 또는 N_2 , H_2 가스를 이용하여 플라즈마 처리를 실시하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 콘택 형성방법.

【청구항 15】

제10항에 있어서, 상기 CVD TiN막은 Ti막과 TiN막을 포함하는 것을 특징으로 하는 반도체소자의 콘택 형성방법.

【청구항 16】

제10항에 있어서, 상기 제1 및 2 층간절연막을 선택적으로 제거하는 단계는, 콘택가스로 플루오르 소스를 가진 가스 또는 이온, 라디칼을 사용하는 것을 특징으로 하는 반도체 소자의 콘택 형성방법.

【청구항 17】

제16항에 있어서, 상기 플루오르 소스를 가진 가스로는 CF_4 , CHF_3 , CH_2F_2 , C_2F_6 , C_2F_8 , C_5F_8 을 포함하는 것을 특징으로 하는 반도체소자의 콘택 형성방법.

【청구항 18】

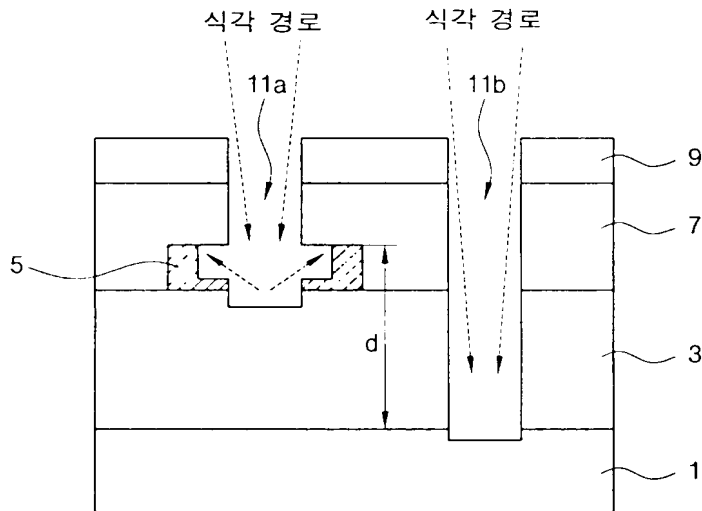
제10항에 있어서, 상기 제2콘택홀의 깊이는 제1콘택홀의 깊이보다 7000 Å 이상인 것을 특징으로 하는 반도체 소자의 콘택 형성방법.

【청구항 19】

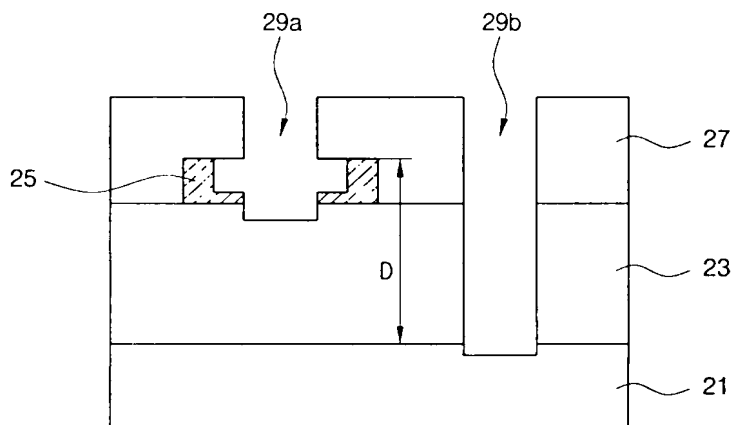
제10항에 있어서, 상기 CVD TiN막을 증착하기 전 또는 증착후에 급속 열처리공정 또는 튜브아닐링을 진행하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 콘택 형성방법.

【도면】

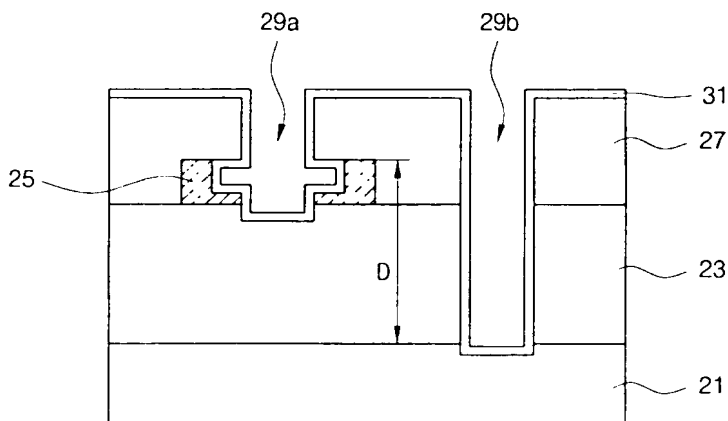
【도 1】



【도 2】



【도 3】



【도 4】

